

(Japanese Patent Laid-open No. Sho 63-255938)

An embodiment of the present invention is described with reference to Fig. 1.

First, using, for example, a p-type Si substrate (1), a thermal oxidation film (2) at the thickness of about 1000 Å and an SiN film (3) at the thickness of about 2500 Å, for example, are formed on the whole surface of the p-type Si substrate (1). Then, photoresist (4) is selectively formed and using the photoresist (4) as a mask, the SiN film (3) is etched using, for example, RIE (reactive ion etching). After that, as a channel stopper layer (6), B⁺¹¹, for example, is formed by ion implantation with the acceleration voltage $V = 40\text{keV}$ and with the dose $Q = \text{about } 3 \times 10^{13}$ (see Fig. 1(a)).

Next, the photoresist (4) is removed by O₂ raster method, and then, for example, a field oxide film (7) is formed at a thickness of about 0.5 μm using the SiN film (3) as the mask. After that, for example, after forming on the entire surface an SiO₂ film (8) at a thickness of about 0.4 μm by CVD, the SiO₂ film (8) is selectively left in at least locations where a high withstand voltage is necessary using a photo-engraving method (Fig. 1(b)).

Next, CDE (chemical dry etching) is used to remove the SiN film (3). Further, the thermal oxidation film (2) is removed using NH₄F. Here, the surface of a field oxide film (9) also becomes smooth. (Fig. 1(c))

Another embodiment is described with reference to Fig. 2.

First, using, for example, a p-type Si substrate (21), a thermal oxidation film (22) at the thickness of about 1000 Å and an SiN film (23) at the thickness of about 2500 Å, for example, are formed on the entire surface of the p-type Si substrate (21). Then, photoresist (24) is selectively formed and using the photoresist (24) as a mask, the SiN film (23) is etched using, for example, RIE (reactive ion etching). After that, as a channel stopper layer (26), B^{+11} , for example, is formed by ion implantation with the acceleration voltage $V = 40\text{keV}$ and with the dose $Q = \text{about } 5 \times 10^{13}$ (see Fig. 1(a)).

Next, the photoresist (4) is removed by O_2 raster method, and then, for example, a field oxide film (27) is formed at a thickness of about 0.4 μm using the SiN film (23) as the mask. After that, for example, after forming on the entire surface a poly-Si film at a thickness of about 0.2 μm by CVD, the poly-Si film is selectively left in at least locations where a high withstand voltage is necessary using a photo-engraving method (Fig. 2(b)).

After that, using the SiN film (23) as the mask, at least the above-described Poly-Si film (28) is changed to SiO_2 by thermal oxidation (1000°C, steam oxidation), and together with SiO_2 (27), made to be a field oxide film (29). (Fig. 2(c))

Next, CDE (chemical dry etching) is used to remove the SiN film (23). Further, the thermal oxidation film (22) is removed using NH_4F . Here, the surface of the field oxide film (29) also becomes

smooth. (Fig. 2(d))

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-255938
(43)Date of publication of application : 24.10.1988

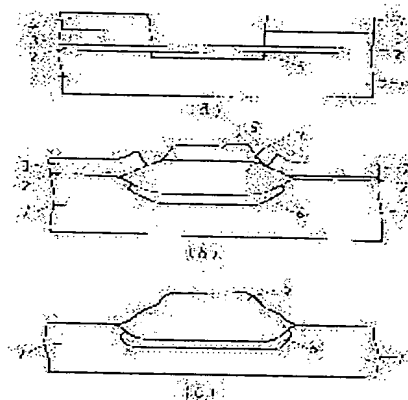
(51)Int.Cl. H01L 21/76
H01L 21/94
// H01L 27/08
H01L 29/78

(21)Application number : 62-089717 (71)Applicant : TOSHIBA CORP
(22)Date of filing : 14.04.1987 (72)Inventor : NAKAYAMA RYOZO

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To realize miniaturization, and improve reliability, by shortening the time of field oxidation, and preventing a channel-stopper layer from permeating in the horizontal direction.

CONSTITUTION: By shortening the oxidizing time to form a field oxide film 7, the permeation of a channel-stopper layer 6 in the horizontal direction is reduced, and the break down voltage of a diffusion layer is made high. An insulating film 9 is formed at the center of a region for forming a field oxide film 7, which is made thick. As the field oxide film 7 can be formed rather thinly, the bird's beak can be reduced. Thereby, the element isolation of high dielectric strength capable of miniaturization is enabled.

**LEGAL STATUS**

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-255938

| | | | |
|-------------------------|-------|-----------|------------------------|
| ⑤ Int. Cl. ⁴ | 識別記号 | 庁内整理番号 | ④ 公開 昭和63年(1988)10月24日 |
| H 01 L 21/76 | | M-7131-5F | |
| 21/94 | | 6708-5F | |
| // H 01 L 27/08 | 3 3 1 | A-7735-5F | |
| 29/78 | 3 0 1 | R-8422-5F | 審査請求 未請求 発明の数 1 (全4頁) |

⑥ 発明の名称 半導体装置の製造方法

① 特 願 昭62-89717

② 出 願 昭62(1987)4月14日

⑦ 発 明 者 中 山 良 三 神奈川県川崎市幸区小向東芝町1 株式会社東芝総合研究所内

⑧ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑨ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 半導体基板上に少なくとも一層以上の耐酸化性マスク材を選択的に形成した後、少なくとも前記耐酸化性マスク材をマスクに半導体基板と同種のチャンネルストッパー層を形成し、前記耐酸化性マスクをマスクに半導体基板を選択酸化し、第1のフィールド酸化膜を形成しその後少なくとも一部の耐酸化性マスクの外側に選択的に第2のフィールド酸化膜となる絶縁膜を少なくとも一層以上形成する事を特徴とする半導体装置の製造方法。

(2) 前記第2のフィールド酸化膜を形成する時、酸化する事により、絶縁膜となる材料膜を形成した後、前記耐酸化性マスクをマスクに少なくとも前記材料膜を選択酸化する事により形成する事を特徴とする^{特許請求の範囲}第1項記載の半導体装置の製造方法。

(3) 前記材料膜を多結晶シリコン膜とする特許請

求の範囲第2項記載の半導体装置の製造方法。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、半導体装置の製造方法に関し、特に微細化が進んだ集積回路の素子分離技術に関する。(従来の技術)

最近、半導体装置の微細化が一段と進んでいる。素子分離も微細化が進んでいるが、従来の選択酸化法(COCOS)では、高耐圧化が困難となっている。EPROMやEEPROM等での電子の書き込み等に用いている電圧は1.5V~20Vと特に高いため、素子分離の微細化が困難である。

第3図を用いて説明する。

まず、シリコン基板21上に酸化膜22とSiN膜23を全面に形成し、その後選択的にマスク材24を形成し、このマスク材24をマスクにSiN膜23をエッチング除去する。その後マスク材24とSiN膜23をマスクにイオン注入法により、チャンネルストッパー層25を形成する(第3図a)。その

後 SiN 膜(3)をマスクに選択酸化法によりフィールド酸化膜(7)を形成する。その後、SiN 膜を除去する。(第3図b)

その後、周知の技術により拡散層(6)を形成する(第3図c)。この方法によると拡散層(6)とチャネルストッパー層(4)が交差する部分ではどちらも濃度が高く、空乏層が短くなるため逆方向電圧に対するリーク電流が多く流れ、拡散層のブレイクダウン電圧も低下し、1.5V以下となり、高耐圧化が出来ない。

このため、フィールド酸化膜厚(3)を厚くしてチャネルストッパー層(4)の濃度を薄くする方法があるが、この方法では、フィールド酸化膜が厚くなるために表面の凹凸が大きくなったり、パズピークが増大したり、さらにシリコン基板(2)を高温(1000℃以上)に長時間さらす事になり、シリコン基板の変形(月膨脹したり、反ったりする)および、チャネルストッパー層の横方向によるしみ出しによる T_r 特性の変化(ナローチャネル効果)等が起こり、微細化が困難となっている。

ズ(DOSE)量を少なくする事が出来、拡散層のブレイクダウン電圧1.5V以上を高くする事が出来る。

(実施例)

本発明の一実施例を第1図を用いて説明する。

まず、例えばp形Si基板(1)を用いて、その全面に例えば熱酸化膜(2)を1000Å程度、およびSiN膜(3)を2500Å程度形成する。その後選択的にフォトレジスト(4)を形成し、フォトレジスト(4)をマスクに、例えばRIE(リアクティブイオンエッチング)を用いてSiN膜(3)をエッチングする。その後、チャネルストッパー層(6)として、例えば B^{+11} を加速電圧 $V=40\text{ keV}$ 、ドーズ量 $Q=3 \times 10^{13}$ 程度をイオン注入法により形成する(第1図(a)参照)。

次に、 O_2 ラッシュャー法によりフォトレジスト(4)を除去した後、例えば、SiN膜(3)をマスクにフィールド酸化膜(7)を0.5μm程度形成する。その後例えば全面にCVD法による SiO_2 膜(8)を0.4μm程度形成したのち少なくとも高耐圧を必要とする所

(発明が解決しようとする問題点)

前項で記載した問題点を解決できるすなわち微細化が可能な高耐圧の素子分離を提供する事を目的とする。

[発明の構成]

(問題を解決するための手段)

フィールド酸化膜形成の酸化時間を短かくして、横方向のチャネルストッパー層のしみ出しを少なくし、拡散層のブレイクダウン電圧を高くし、フィールド酸化膜形成領域の中央に絶縁膜を形成し、フィールド酸化膜の膜厚を厚くする事により、フィールドのパズピークを減少させる事が出来るので、微細化、高耐圧の素子分離を形成する。

(作用)

半導体装置で通常の電圧(5V~0V)で動作する部分は、高耐圧にする必要がないため、フィールド酸化膜を薄めに形成出来る。この事により、パズピークを少なくする事が出来る。また酸化時間が短かく出来るためチャネルストッパー層の横へのしみ出しも減少する事ができるので、ドー

に写真蝕刻法を用いて選択的に残置させる。(第1図(b))

次にCDE(ケミカル、ドライ、エッチング)を用いてSiN膜(3)を除去する。さらに熱酸化膜(2)を NH_4F を用いて除去する。この時フィールド酸化膜(9)表面もなめらかになる。(第1図(c))

その後周知の技術により、半導体装置を形成する。この方法によれば、フィールド酸化の時間が240分から50分と1/4以下にする事が出来、パズピークも0.6μmから0.1μmと大幅に減少出来る。またチャネルストッパー層の B^+ の横へのしみ出しも減少出来るため、拡散層のブレイクダウン電圧も高く出来る。また B^+ のDOSE量も少なく出来る。また結晶欠陥の発生が防止できる。

平坦性については、必要に応じて、行なえば良い。例えば、CVD膜の代わりに、不純物を含む SiO_2 膜(BPSG, PSG, BSG)を上部に形成して、熱処理する事により、リフローを起こさせれば良い。又は、レジスト等の低粘度の材料膜を用いたエッチバック法で平坦化しても良い。

他の実施例を第2図を用いて説明する。

まず、例えばp形Si基板(1)を用いて、その全面に例えば熱酸化膜(2)を1000Å程度、およびSiN膜(3)を2500Å程度形成する。その後選択的にフォトリソグラフ(4)を形成し、フォトリソグラフ(4)をマスクに、例えばRIE(リアクティブ、イオン、エッチング)を用いてSiN膜(3)をエッチングする。その後、チャンネルストッパー層(6)として、例えば B^{+11} を加速電圧 $V=40\text{ keV}$ 、ドーズ量 $Q=5\times 10^{13}$ 程度をイオン注入法により形成する(第1図(a)参照)。

次に、 O_2 ラッシュャー法によりフォトリソグラフ(4)を除去した後、例えば、SiN膜(3)をマスクにフィールド酸化膜(5)を0.4μm程度形成する。その後、例えば全面にCVD法によるpoly-Si膜を0.2μm程度形成したのち、少なくとも高耐圧を必要とする所に写真蝕刻法を用いて選択的に残置させる。(第2図(b))

その後、SiN膜(3)をマスクに少なくとも前記Poly-Si膜(5)を例えば、熱酸化(1000℃、ステ

の变形、(膨脹したり、反ったりする)がなく、合せずれが少なく、大口径ウェハーの合せが出来る。1) チャンネルストッパー層の横方向のしみ出しも少なくなり、ドレイン耐圧が向上し、メローチャンネル効果が防止できる等により、微細化、高信頼性が実現できる。

4. 図面の簡単な説明

第1図および第2図は本発明の一実施例の工程断面図、第3図は従来法の断面図である。

1, 11, 21...Si基板、2, 12, 22, 7, 8, 9, 17, 19... SiO_2 膜、3, 13, 23...SiN膜、4, 14, 24...フォトリソグラフ、6, 16, 25...チャンネルストッパー層、18...Poly-Si。

代理人 井理士 則 近 藤 佑

代理人 井理士 松山 允之

ーム酸化)で SiO_2 と変化させて SiO_2 膜と合わせてフィールド酸化膜(5)にする。(第2図(c))

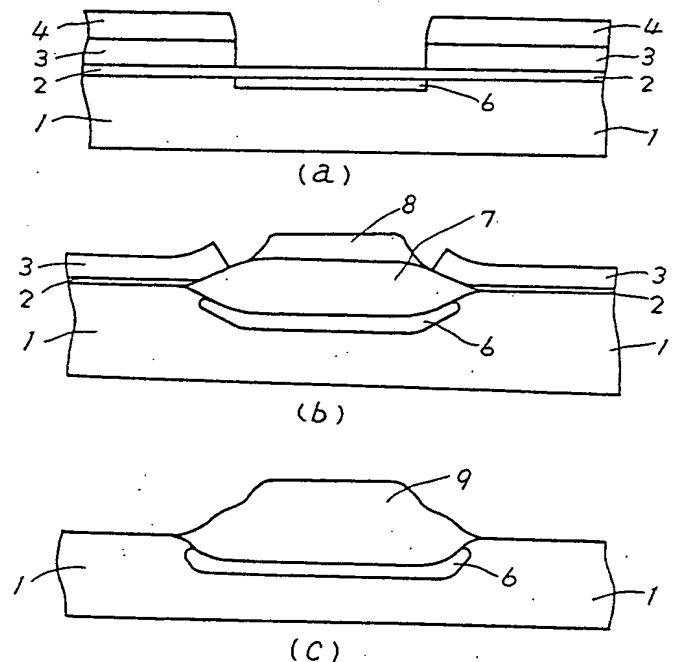
次にCDE(ケミカル、ドライ、エッチング)を用いてSiN膜(3)を除去する。さらに熱酸化膜(5)を NH_4F を用いて除去する。この時フィールド酸化膜(5)表面もなめらかになる。(第2図(d))

その後周知の技術により、半導体装置を形成する。この方法によれば、フィールド酸化膜(5)は、同一材質となるので従来のプロセスを何ら変更する事なく、使える。2回、フィールド酸化を行なうが、最初が40分、2回目は20分程度で終了するため、第1図のプロセスの利点そのまま適用される。

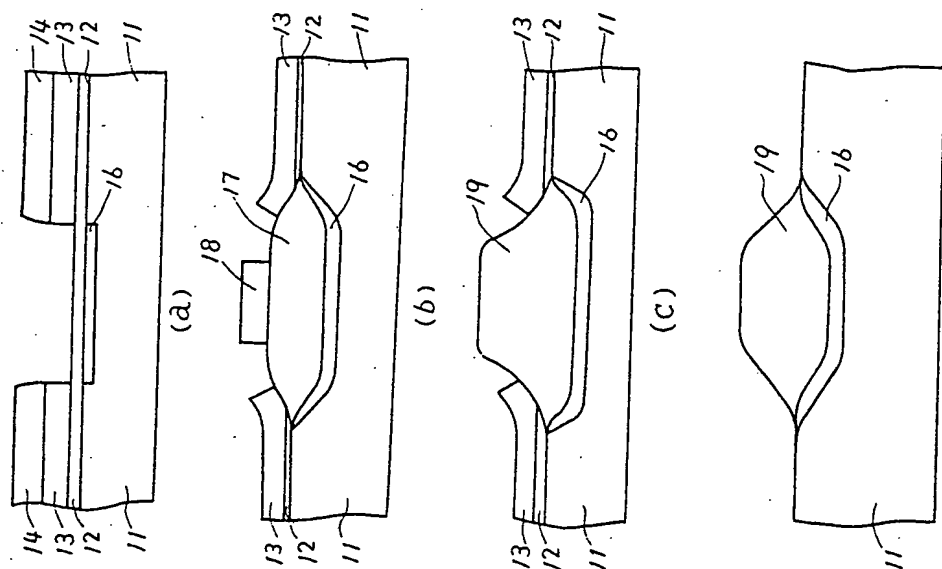
他の実施例として、NMOSで説明したがPMOS, CMOS, バイポーラ型にも応用出来る。CVD膜の代わりに、スパッタ法、バイラス・スパッター法あるいはプラズマCVD法により形成した各種絶縁膜が使用出来る。

[発明の効果]

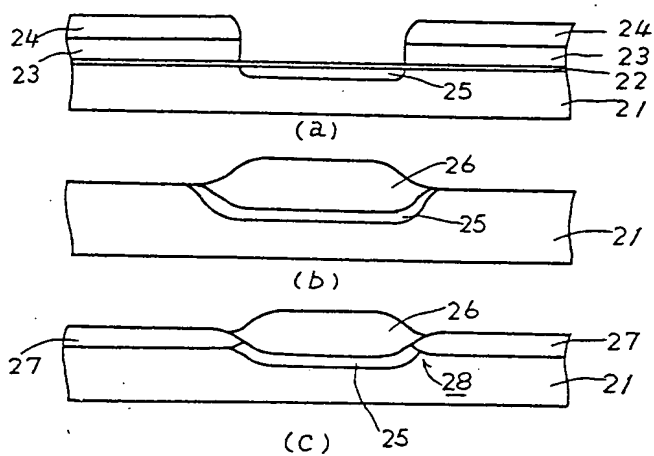
フィールド酸化時間の短縮により、1) Si基板



第 1 図



第 2 図



第 3 図